

[Previous Doc](#)   [Next Doc](#)   [Go to Doc#](#)  
[First Hit](#)

☐ [Generate Collection](#)

L5: Entry 174 of 177

File: JPAB

Jan 28, 1994

PUB-NO: JP406020072A

DOCUMENT-IDENTIFIER: JP 06020072 A

TITLE: DATA DRIVEN INFORMATION PROCESSOR AND DATA BUFFER USED IN THIS PROCESSOR

PUBN-DATE: January 28, 1994

INVENTOR-INFORMATION:

NAME

COUNTRY

ONOZAKI, MANABU

ASSIGNEE-INFORMATION:

NAME

COUNTRY

SHARP CORP

APPL-NO: JP04178298

APPL-DATE: July 6, 1992

INT-CL (IPC): G06F 15/82

ABSTRACT:

PURPOSE: To improve the data processing efficiency of the data driven information processor having a function which uses a degeneration memory space to detect a pair of data.

CONSTITUTION: A buffer memory 1 which is provided in a cyclic path and is provided to absorb the fluctuation of the flow rate of packets of data in this cyclic path includes a re-arrangement control unit 10 which rearranges the output order in accordance with prescribed key data of stored data packets. This rearrangement control unit changes the arrangement order of output data packets in accordance with the same discrimination reference as the priority level discrimination reference used by a data pair detecting unit 562. Since a data packet of high probability of firing is quickly given to the data pair detecting unit by rearrangement of output data packets in the data buffer, the degradation of the processing efficiency due to hash collision data packets is prevented; and thus, the data driven information processor which executes a data flow program at a high speed is provided.

COPYRIGHT: (C)1994, JPO&Japio

[Previous Doc](#)   [Next Doc](#)   [Go to Doc#](#)

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-20072

(43)公開日 平成6年(1994)1月28日

(51)Int.Cl.<sup>5</sup>

G 0 6 F 15/82

識別記号

庁内整理番号

7323-5L

F I

技術表示箇所

審査請求 未請求 請求項の数3(全 21 頁)

(21)出願番号 特願平4-178298

(22)出願日 平成4年(1992)7月6日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 小野崎 学

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74)代理人 弁理士 深見 久郎

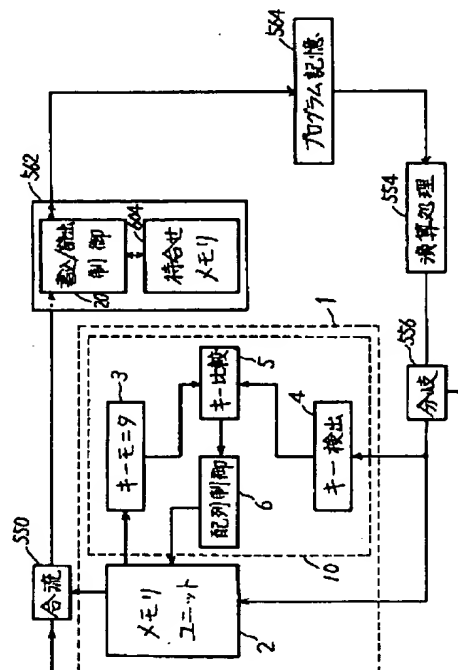
(54)【発明の名称】 データ駆動型情報処理装置およびそこに用いられるデータバッファ

(57)【要約】

【目的】 縮退メモリ空間を利用して対データを検出する機能を備えるデータ駆動型情報処理装置のデータ処理効率を向上させることを目的とする。

【構成】 巡回バスに設けられ、この巡回バスにおけるデータのバケットの流量の揺らぎを吸収するために設けられたバッファメモリ(1)は、格納されたデータバケットの所定のキーデータの大小に応じてその出力順序を再配列する再配列制御ユニット(10)を含む。この再配列制御ユニットは、対データ検出ユニット(562)が利用する優先度判別基準と同じ判別基準に従って出力データバケットの配列順序を変更する。

【効果】 データバッファにおける出力データバケットの再配列により、発火する可能性の高いデータバケットが早く対データ検出ユニットへ与えられるため、ハッシュ衝突データバケットによる処理効率の低下を防止することができ、高速度でデータフロープログラムを実行することのできるデータ駆動型情報処理装置が得られる。



## 【特許請求の範囲】

【請求項1】 データ巡回バスを有しかつ前記データ巡回バス上のデータから対となるデータを検出する対データ検出手段を含み、前記対データ検出手段により対データが検出されたとき発火して対応の処理を実行する機能を有するデータ駆動型情報処理装置であって、前記データ巡回バス上の一方からのデータを受けて一時的に格納しかつ格納データを前記巡回バスを介して前記対データ検出手段へ伝達するバッファメモリ手段を含み、前記データは配列順序を決定するキーデータを含み、

前記バッファメモリ手段は、各データに含まれる前記キーデータに従って予め定められた順序で格納データが配列されるように、受けたデータに含まれるキーデータと格納データのキーデータとに従って格納データを再配列する手段を含む、データ駆動型情報処理装置。

【請求項2】 請求項1記載のデータ駆動型情報処理装置であって、

前記対データ検出手段は縮退したメモリ空間を有しかつ対を形成すべきデータを一時的に格納する待合せメモリ手段と、

対を形成すべきデータが与えられたとき、この受けた対を形成すべきデータを格納すべきアドレスに既にデータが格納されているとき予め定められた優先順位に従っていずれのデータを前記待合せメモリ手段に格納すべきかを否かを判別する優先度判別手段をさらに含み、

前記再配列手段は、前記優先順位判別手段が従う優先順位と同じ優先順位に従って前記キーデータに従って格納データを再配列する手段を含む。

【請求項3】 入力データを順次格納しかつ出力するために、データ入力部とデータ出力部とを有するデータ伝送路に沿って配置される互いに縦続接続された複数のデータ格納手段、

前記データ伝送路に沿って鏡映対象の位置のデータ格納手段に対して設けられ、出力部側データ格納手段に有効格納データが存在しないとき、入力部側データ格納手段のデータを前記出力部側データ格納手段へ転送する転送手段、

前記データ伝送路に沿って鏡映対象の位置のデータ格納手段に対して設けられ、入力部側データ格納手段のデータに含まれる所定のキーデータと出力部側データ格納手段のデータに含まれる所定のキーデータとを比較する比較手段、および前記比較手段の比較結果に従って対応の出力部側データ格納手段の格納データと対応の入力部側データ格納手段の格納データとを交換する交換手段を含む、データバッファ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は与えられたデータに従って処理を実行するデータフロー型情報処理装置および

データを一時的に格納するためのデータバッファに関し、特に、縮退したメモリ空間を利用する対データ検出機能を備えるデータフロー型情報処理装置およびそこに用いるのに適したデータ並び換え機能を有するデータバッファに関する。

【0002】

【従来の技術】近年高精彩画像処理など様々な分野において大量のデータを高速で処理することが必要とされる。情報を高速で処理する手法の1つに、複数の演算を並列に処理する並列処理がある。並列処理向きの処理装置の1つにデータフロー型（データ駆動型）情報処理装置がある。データフロー型情報処理装置は、データフロープログラムに従って処理を実行する。

【0003】データフロープログラムは、演算および制御を示すノード（アクタと呼ばれる）と、ノードとノードとの間を結ぶアークとで構成される有向グラフで記述される。

【0004】図13は、データフロープログラム（データフロログラフ）の一例を示す図である。図13において、ノードND1は入力アークaおよびbに対し演算OP1を施してノードND3へ出力する。ノードND2は、入力アークdに演算OP2を施し、その演算結果をノードND3およびND4へ与える。ノードND3は、ノードND1からのデータ、入力アークcおよびノードND2からのデータに対し演算OP3を施してその処理結果を出力する。ノードND4は、ノードND2からのデータに演算OP4を施してその処理結果を出力する。各ノードにおいては、入力アークにデータ（トークンと呼ばれる）が揃ったときにそのノードに割り当てられた演算が実行される。演算の実行をそのノードが「発火する」と称す。この発火の結果、入力データ（入力トークン）は消費され、出力トークンが生成される。

【0005】ノードND1は2つの入力アークaおよびbを有する。ノードND1は、2つの入力アークaおよびbに入力データがそれぞれ到着しかつ出力アークが空いているときに発火する。すなわち、入力データ（入力トークン）に演算OP1が施されてその演算結果が出力トークンとなる。このときノードND2の入力アークdに入力データが到着していれば、ノードND1とノードND2とは同時に発火することができる。ノードND3は、ノードND1およびノードND2の演算が完了するのを待つ必要がある。ノードND4は、ノードND2において演算OP2が実行された後に発火することができる。

【0006】一般に、n入力m出力のノードは最大2入力および2出力を有する基本ノードの組合せで実現することができる。基本ノードとしては、入力アークに与えられたデータに演算を施す演算ノードと、入力トークンをコピーして複数の出力アークに出力する分配ノードと、複数の入力アークに与えられたデータを出力アーク

3

へ伝達する合流ノードと、データの伝達経路を制御する制御ノードなどがある。

【0007】データフロー型処理では、データ駆動と呼ばれる実行原理に基づいて処理が実行される。データ駆動の原理においては、「すべての演算は、その実行に必要なオペランド（データ）が揃ったときに実行される」。データ駆動方式は、或る処理に1組の入力データしか許さない静的データ駆動方式と、2組以上の入力データの組を許す動的データ駆動方式とを含む。動的データ駆動方式においては、複数の入力データの組を識別するために、「世代番号」などの識別子が利用される。伝送データは、行先ノードなどを特定する情報を含み、パケットの形態で伝達される。

【0008】図14は、データパケットの構成を示す図である。図14において、データパケットは、未発火フラグ、2出力命令識別フラグなどのデータの状態を示すフラグを格納するフラグフィールドF1と、行先ノードを特定する行先ノード番号を格納する行先ノード番号フィールドF2と、その行先ノードにおける世代識別子である世代番号を格納する世代番号フィールドF3と、実行されるべき演算を特定する命令を格納する命令フィールドF4と、処理されるべきデータすなわちオペランドデータを格納するオペランドデータフィールドF5およびF6を含む。命令フィールドは、その命令が2項演算命令であるか単項演算命令であるかを識別する2項/単項演算命令識別フラグを含む。この命令フィールドF4に含まれる2項/単項演算命令識別フラグについては後にまた説明する。

【0009】図15は、データ駆動型情報処理装置の全体の構成を概略的に示す図である。図15において、データ駆動型情報処理装置500は、外部から与えられる入力データを受け取るための入力ポート502と、入力ポート502からの入力データのうち、このデータ駆動型情報処理装置500を指定する入力データとそうでない入力データとを分離する分岐ユニット504と、分岐ユニット504からの入力データを受け、その入力データに含まれる演算命令に従って処理を行なうデータ駆動エンジン506と、データ駆動エンジン506からの処理データと分岐ユニット504からの入力データとを合流する合流ユニット508と、合流ユニット508からのデータを出力する出力ポート510を含む。

【0010】入力ポート502は、外部から与えられる入力データを受け取る。複数の処理装置が含まれるマルチプロセッサシステムにおいては、入力ポート502は、異なる処理装置からのデータを合流した後に出し出す。分岐ユニット504は、この処理装置500を参照しない入力データを合流ユニット508へ出力し、この処理装置500を参照する入力データをデータ駆動エンジン506へ伝達する。

【0011】データ駆動エンジン506は、この分岐ユ

4

ニット504から与えられたデータに従って処理を実行する。このデータ駆動エンジン506は、その構成は後に詳細に説明するが、命令コードの更新および次命令フェッチに必要な先行情報（ノード番号）の更新を行なう機能と、処理に必要なデータが揃ったこと（発火）の検出を行なう発火制御機能と、必要なデータの待合せが完了した命令に対し算術・論理演算などを行なう演算処理機能とを備える。

【0012】分岐ユニット504からのこの処理装置500を参照しない入力データおよびデータ駆動エンジン506からの処理結果データは合流ユニット508で合流される。合流ユニット508においては、分岐ユニット504およびデータ駆動エンジン506から排他的に与えられるデータを出力ポート510へ伝達する。出力ポート510は、与えられたデータに対し、所定のルーティング（マルチプロセッサシステムにおける処理装置への振り分け）を行ない、対応の処理装置へ伝達する。

【0013】図16は、図15に示すデータ駆動エンジンの構成を概略的に示すブロック図である。図16において、データ駆動エンジン506は、与えられたデータパケットを入力順に出力する合流ユニット550と、合流ユニット550からのデータパケットに対し、命令コードの更新、ノード番号の更新および発火の検出を行なうプログラム記憶付発火制御ユニット552と、このプログラム記憶付発火制御ユニット552からの発火データパケットに対しその命令フィールドF4に含まれる命令に従った演算を行なう演算処理ユニット554と、演算処理ユニット554からの処理データまたは未発火データパケットを受け、そのデータパケットに含まれる先行情報（ノード番号）に従ってその行先をデータ駆動エンジン506の外部または内部に振り分ける分岐ユニット556と、分岐ユニット556からのデータパケットを順次格納し、その格納データを順次入力順に合流ユニット550へ与えるデータバッファ558を含む。

【0014】プログラム記憶付発火制御ユニット552は、2項演算命令等で処理されるべき2つのオペランドデータの待合せを行なうための対データ検出ユニット562と、先行情報（ノード番号等）および命令情報を格納したレコードを複数個含むデータフロープログラムを記憶するプログラム記憶ユニット564を含む。プログラム記憶ユニット564は、また与えられたデータパケットに含まれるノード番号データに基づいて生成されたアドレスに従ってこのプログラムメモリから対応のデータレコードを読み出し、与えられたデータパケットの先行ノード番号フィールドF2および命令フィールドF4の内容を、読み出したデータレコードの内容に更新して出力する機能を備える。

【0015】対データ検出ユニット562は、前述のごとく2項演算命令等で処理されるべき2つのオペランドデータの待合せを行なう。すなわち、対となるデータを

10

20

30

40

50

5

検出する。ここで、対となるデータとは、同じ行先ノード番号および同じ世代番号を有するデータパケットである。この対データ検出ユニット562は、このデータの待合せのための待合せメモリを備える。

【0016】この図16に示す構成においては、プログラム記憶付発火制御ユニット552において発火が検出されたデータに対してのみ演算処理ユニット554において処理が実行される。未発火データパケットは演算処理ユニット554では処理は実行されない。この未発火のデータパケットは分岐ユニット556によりデータバッファ558へ格納される。分岐ユニット556は、また、未発火状態でないデータパケットに対しても、その行先番号フィールドF2に含まれるノード番号情報に従ってデータパケットを装置外部またはデータバッファ558へ伝達する。

【0017】データバッファ558は、この処理装置506を流れるデータパケットの数が増加した場合に、この処理装置506のパイプラインから溢れ出ないようにするために、一時的にデータパケットを格納する。データバッファ558は、通常、先入れ先出し型メモリで構成される。データバッファ558は、この分岐ユニット556から入力されるデータパケットを順次取込んで格納し、合流ユニット550が空き状態にあれば、この格納した順にデータパケット合流ユニット550を介してプログラム記憶付制御ユニット552へデータパケットを伝達する。処理装置506においては、通常このプログラム記憶付発火制御552および演算処理554がパイプラインを構成しており、データ処理が互いにオーバーラップしながら実行され、データ処理の高速化が図られている。

【0018】図17は、図16に示すプログラム記憶付発火制御ユニットの機能的構成を示す図である。図17において、対データ検出ユニット562は、与えられた入力データパケットの命令フィールドF4の命令をデコードし、その命令が単項演算命令であるか2項演算命令であるかの判別を行なう命令識別部602と、命令識別部602の制御の下に活性化され、入力データパケットの行先ノード番号フィールドF2および世代番号フィールドF3に含まれる行先ノード番号および世代番号に対しハッシュ演算（これについては後述する）を施して待合せメモリ604のアドレスを生成し、対応のアドレスのデータ（データパケット）を読出す読出制御部606と、読出制御部606により待合せメモリ604から読出されたデータ（データパケット）と入力データパケットとの優先順位を予め定められた条件に従って判別するとともに、対となるデータであるか否かの判別をも合わせて行なう優先度判別部608と、優先度判別部608の判別結果に従って、入力データパケットおよび読出データ（データパケット）に対し所定の処理を行なうパケット制御部610を含む。パケット制御部610は、優先

6

先度判別部608において、読出されたデータ（データパケット）と入力データパケットとが対をなすデータであることが判別された場合には、発火パケットを生成しプログラム記憶ユニット564へ伝達する。

【0019】命令識別部602は、命令フィールドF4に含まれる単項演算命令/2項演算命令フラグを見て命令を識別してもよい。

【0020】待合せメモリ604は、通常対をなすデータを待受けるデータパケットに対しては、有効フラグ（VLD）を立てて格納する。優先度判別部608は、この待合せメモリ604から読出されたデータと入力データパケットとのハッシュ衝突および発火命令の判別を行なう。ハッシュ衝突時には、優先度判別部608は、予め定められた優先順位に従っていずれのデータパケットを待合せメモリ604に格納するかを判別する。ハッシュ衝突時には、待合せメモリ604に格納されないデータパケットは、パケット制御部610において、未発火フラグNFRが立てられて“1”とされてプログラム記憶ユニット564へ伝達される。ここで、読出制御部606がアドレス生成時に行なうハッシュ演算および優先度判別部608におけるハッシュ衝突について説明する。

【0021】図18は、ハッシュ演算の効果を示す図である。動的データ駆動方式においては、或る処理に対し複数組の入力データの組が許容される。この複数組の入力データを識別するために世代番号などの識別子が導入される。したがって、行先ノード番号および世代番号をアドレスとするメモリの物理的空間が対データを待合せするための場所として利用される。このデータの待合せ領域としては、使用されるすべての行先ノード番号と世代番号の組合せのすべてを含むメモリ空間を持つことが望ましい。しかしながら、取扱われる世代数およびノード番号の数が多くなると、このような行先ノード番号および世代番号すべての組をアドレスとするメモリ空間を有することはメモリ利用効率の点からみて現実的ではなくまた経済的でもない。そこで、図18に示すように、行先ノード番号と世代番号とに対しハッシュ演算を施し、その結果得られる値をアドレスとする待合せメモリアドレス空間を作成する。

【0022】ハッシュ演算とは、複数のフィールド（通常キー）を異なった配置に変更するために行なわれる操作を示す。たとえば元のキーを新しいキーに変形するために、元のキーについて何らかの予め定められた操作を行なうことをハッシュ演算と呼ぶ。このハッシュ演算には様々な方法がある。簡単なハッシュ演算に、除算剰余法と呼ばれるものがある。この除算剰余法においては、或る適当な数を選択し、この選択された数を除数として被除数を割り、商と余りとを求める。この余りを変換後のキーとする。この場合、除数として、たとえば1000を用いると、変換後のキーは元のキーのモジュロ10

7

00となる。すなわち、たとえば除数を1000とした場合、行先ノード番号と世代番号をこのモジュロ1000の演算によりハッシュアドレスを生成する。この場合、図18に示すように、ノード番号/世代番号空間をハッシュ演算により待合せメモリアドレス空間へ圧縮したため、待合せメモリアドレス空間のアドレス（以下ハッシュアドレスと呼ぶ）とノード番号/世代番号空間におけるアドレスとは1対多対応となる。このようにハッシュアドレスが重複することをハッシュ衝突と呼ぶ。ハッシュ演算としては、上述の除数剰余法の他に、折り重ね法、基数変換法および数字再配置法などがある。

【0023】図19に示すように、ノード番号/世代番号空間800において、行先ノード番号NDと世代番号GNがそれぞれ異なる領域ND1/GN1、ND2/GN2、ND3/GN3、ND4/GN4が待合せメモリアドレス空間におけるハッシュアドレスH<sub>Ai</sub>に対応する状態が存在する。1つのハッシュアドレスに対し複数のノード番号/世代番号アドレスが存在する状態を縮退と称す。

【0024】読出制御部606は上述のハッシュ演算を施して待合せメモリ604に対するアドレスを生成している。この場合、互いに異なる行先ノード番号および世代番号を有するデータであっても、この待合せメモリ604の同一アドレスの待合せ領域を利用する。したがってハッシュ衝突が生じる。

【0025】今、対データの待合せを行なうためにデータバケットがこの待合せメモリ604に書込まれているとき（待合せデータは通常有効フラグが立てられている）、行先ノード番号または世代番号が異なるが同一のハッシュアドレスを有するデータが与えられた場合には、どちらのデータを優先的に処理するかを判断する必要がある。この優先度の判断が優先度判断部608において実行される。優先度判断部608は、その待合せメモリ604から読出されたデータと入力データとの優先度を比較し、優先度が高い方のデータバケットを待合せメモリ604に書込み、優先度の低いデータバケットは未発火フラグNFRを立てて出力する。この待合せメモリ604へのデータバケットの書込および未発火フラグのオン/オフはバケット制御部610において実行される。以下の説明において、優先度判断部608が用いる優先度の判断基準には、（1）世代番号が小さい方が優先度が高い、（2）世代番号が同一の場合には、行先ノード番号が小さい方が優先度が高いという基準が利用されるものとする。

【0026】ハッシュ衝突が生じず、対をなすデータが検出された場合、バケット制御部610は、有効フラグをオフとし、かつ未発火フラグをもオフとしてデータバケットをプログラム記憶ユニット564へ伝達する。

【0027】プログラム記憶ユニット564は、対データ検出ユニット562からのデータバケットを受け、そ

8

のデータバケットが発火しているか否かを識別する発火識別部620と、発火識別部620からの発火/未発火指示情報に従って、入力データバケットの行先ノード番号フィールドF2に含まれる行先ノード番号に基づいてアドレスを生成し、プログラムメモリ622から次の命令フェッチする次命令フェッチ部624と、この次命令フェッチ部624でフェッチされたデータバケットに対し、発火識別部620からの発火指示に従って、入力データバケットの行先ノード番号フィールドF2および命令フィールドF4の内容を、次命令フェッチ部624によりプログラムメモリ622からフェッチされた次の先行情報および命令情報により更新するバケット生成部626を含む。バケット生成部626は、発火識別部620が発火を識別しないとき、すなわち入力データバケットの未発火フラグが立てられてオン状態の場合にはこの入力データバケットに対しては処理を行わずそのまま出力する。

【0028】このバケット生成部626からのデータバケットが演算処理ユニット554へ伝達される。次に、この対データ検出ユニット552およびプログラム記憶ユニット564の動作についてその動作フロー図である図20および図21を参照して説明する。

【0029】図20は対データ検出ユニットの動作を示すフロー図である。以下、図17および図20を参照して対データ検出ユニットの動作について説明する。

【0030】入力データバケットが与えられると、まず命令識別部602において命令がデコードされ（ステップS1）、その入力データバケットに含まれる演算命令が2項演算命令であるか単項演算命令であるかの判断が行なわれる（ステップS2）。このとき、2項演算命令は2変数演算命令および定数演算命令両者を含んでもよい。また、命令デコード操作としては、単に単項演算命令/2項演算命令フラグを見ることによりデコードおよび判断動作が行なわれてもよい。

【0031】ステップS2において2項演算命令ではないと判断された場合、その命令は単項演算命令であり、対データは待合せしていないため、そのデータバケットの未発火フラグはオフ状態にリセットされ（ステップS4）出力される。

【0032】ステップS2において、2項演算命令であると判断された場合、読出制御部606において、入力データバケットに含まれる行先ノード番号および世代番号に対しハッシュ演算を施してハッシュアドレスが生成され、待合せメモリ604へアクセスが行なわれる（ステップS6）。

【0033】ステップS6において、優先度判断部608により待合せメモリ604から読出制御部606により読出されたデータバケットが有効なデータバケットであるか、すなわち待合せを行なっているデータバケットであるか否かの判断が行なわれる（ステップS8）。こ

れは待合せメモリ604において待合せているデータパケットには有効フラグが立てられており、この有効フラグを見ることにより実行される。

【0034】ステップS8において、有効なデータパケットが存在しない場合、その入力データパケットは待合せのため、パケット制御部610によりこの生成されたハッシュアドレスに従って待合せメモリ604に格納され、有効フラグが立てられる(ステップS10)。このとき、合わせて有効データであることを示す有効データフラグが立てられる。

【0035】ステップS8において、有効な待合せデータパケットが存在する場合、優先度判別部608により入力データパケットと読出されたデータパケットの行先ノード番号および世代番号の一致/不一致が判別される。すなわち、ハッシュ衝突が生じたか否かの判別が行なわれる(ステップS12)。

【0036】ステップS12においてハッシュ衝突が生じていないと判別された場合、それは対をなすデータである。したがってこの状態では、パケット制御部610により発火データパケットが生成され、未発火フラグは

オフ状態にリセットされて出力される(ステップS14)。

【0037】ステップS12においてハッシュ衝突が生じていると判別された場合(これは図17に示す優先度判別部608が実行する)、この入力データパケットと読出されたデータパケットとの優先順位の判別が行なわれる。優先順位基準に従って、世代番号の大小がまず比較され、世代番号が小さい方が優先度が高いと判別される。世代番号が同じ場合には行先ノード番号が小さい方が優先度が高いものと判定される。この判定基準に従って優先度が高いと判別されたデータパケットは待合せメモリ604へ格納され、その有効データフラグがオン状態とされる。

【0038】一方、優先度が低いと判別されたデータパケットは、その未発火フラグがオン状態に設定されて出力される(ステップS16)。

【0039】上述の処理動作により、対データ検出ユニット562においては、待合せのためのデータパケットの格納、入力データパケットの保存(未発火フラグをオン状態に設定して出力)、および発火パケットの生成のいずれかが実行され、この処理結果がプログラム記憶ユニット564へ伝達される。次に、図17および図21を参照してプログラム記憶ユニットの動作について説明する。

【0040】まず、対データ検出ユニット562から伝達されたデータパケットはその発火識別部660において未発火フラグがオンであるかオフであるかの判別が行なわれる(ステップS20)。未発火フラグがオン状態にあり、待合せデータパケットである場合には、そのまま出力される。未発火フラグがオフ状態にあり、発火デ

ータパケットの場合にはプログラム命令の次命令フェッチのため、プログラムメモリ622がアクセスされる(ステップS22)。このアクセスのためには、入力データパケットに含まれる行先ノード番号が利用される。このとき、また対データ検出ユニット562と同様のハッシュ演算が実行されてもよい。

【0041】ステップS22においてプログラムメモリ622から読出されたデータ、すなわちデータフロープログラムに従って、入力データパケットに対し以下の処理が行なわれる。すなわち、入力データパケットの命令フィールドF4および行先ノード番号フィールドF2の行先ノード番号の更新が実行される。この更新の後、未発火フラグはリセット状態とされて出力される。

【0042】このプログラム記憶ユニットから出力されるデータパケットは演算処理ユニット554へ与えられる。演算処理ユニット554は、入力されたデータパケットの未発火フラグがオフ状態であれば、命令フィールドF4に含まれる命令に従ってそこに含まれるデータに対し演算処理を施し、その処理結果をオペランドデータフィールドF5に格納する。

【0043】演算処理ユニット554は、入力データパケットの未発火フラグがオン状態の場合には演算処理は実行しない。

【0044】演算処理ユニット554の出力データパケットは分岐ユニット556へ伝達される。分岐ユニット556は、与えられたデータパケットの未発火フラグがオフ状態であれば、そこに含まれる行先ノード番号フィールドF2に含まれる行先ノード番号に従って、装置外部およびデータバッファ558の一方に選択的に出力する。与えられたデータパケットの未発火フラグがオン状態の場合には、この分岐ユニット556は入力データパケットをデータバッファ558へ伝達する。

【0045】データバッファ558は、この処理装置506を流れているデータパケットの揺らぎを吸収する。

【0046】

【発明が解決しようとする課題】上述のように、データパケットが、対データ検出ユニット562→プログラム記憶ユニット564→演算処理ユニット554→分岐ユニット556→データバッファ558→合流ユニット550→対データ検出ユニット562…と巡回し続けることによりプログラム記憶ユニット564に格納されたデータフロープログラムに基づいた情報処理が進行する。このデータパケットの巡回パスは、通常、パイプライン化されている。

【0047】対データ検出ユニット562において、未発火フラグがオン状態とされたデータパケットも同様に、対データ検出ユニット562→プログラム記憶ユニット564→演算処理ユニット554→分岐ユニット556→データバッファ558→合流ユニット550とこのデータ処理中のデータパケットと同様のパイプライン

11

化された巡回バスを巡回する。この未発火フラグがオン状態のデータパケットはプログラム記憶ユニット564および演算処理ユニット554で処理されることなく対データ検出ユニット562における待合せメモリ604の待合せ領域が利用可能となるまでこの巡回バスを巡回し続ける。

【0048】未発火状態のデータパケットが増加し、データバッファ558に格納されるデータパケットの数が増加すると、この巡回バスにおけるパイプラインが長くなる。このため、即座に処理することのできる可能性のあるデータパケットがこの巡回バスを巡回する速度が低下するという問題が生じる。

【0049】また、すぐに処理可能なデータパケットは、対データ検出ユニット562において検出され、速やかに発火状態とされ、対データ検出ユニット652における待合せメモリ604に空き領域を形成しなければ、未発火状態のデータパケットはいつまでも未発火状態を維持することになり、処理が進行しない。この結果、全体としての処理速度が低下する。この状態について少し詳しく以下に説明する。

【0050】図22は、データ駆動型情報処理装置における巡回バスにおけるデータパケットの流れを例示する図である。図22において、データバッファ558は、合流ユニット550、対データ検出ユニット562、プログラム記憶ユニット564、演算処理ユニット554および分岐ユニット556からなるパイプラインに収納可能な数以上のデータパケットが存在するために、このパイプラインのオーバフローを吸収するために複数のデータパケットを格納する。データバッファ558に格納されるデータパケットは合流ユニット550の入力に空きが生じたときに合流ユニット550を介して対データ検出ユニット562へ与えられる。

【0051】今、データバッファ558に含まれるデータパケット110a、101b、および110bに着目する。これらのデータパケット101b、110a、および110bは、対データ検出ユニット562に含まれる待合せメモリ604の同一の待合せ領域を重複利用しているものとする。すなわち同一のハッシュアドレスを生成するものとする。データパケット101bは、その未発火フラグNRFがオフ状態（“0”）にあり、対データ検出ユニット562において待っているデータパケット101aと対データとして検出されて発火する。データパケット110aおよび110bは、未発火フラグNRFがオン状態（“1”）となっており、対データ検出ユニット562においてデータパケット101aが待合せメモリ604の待合せ領域を使用しているため、未発火フラグNRFがオン状態とされ出力されたデータパケットである。この仮定の下でデータパケットの処理の流れについて説明する。

【0052】データバッファ558は、先入れ先出し型

12

メモリである。データパケット110a、101b、および110bの出力順序は変化しない。

【0053】まず、データパケット110aが対データ検出ユニット562へ与えられる。このデータパケット110aのための待合せ領域は優先度の高いデータパケット101aが利用している。したがって、データパケット110aは再び、未発火フラグをオン状態とされて出力される。

【0054】次に、データパケット101bが対データ検出ユニット562へ与えられる。このデータパケット101bは、待合せメモリ604に格納されているデータパケット101aと対をなすため、対データとして検出される。これにより、それまでデータパケット101aが格納されていた待合せ領域が空き領域となる。このデータパケット101aおよび101bは対データとしてプログラム記憶ユニット564へ出力される。

【0055】その後、データパケット110bが対データ検出ユニット562へ伝達されると、待合せメモリ604の対応の待合せ領域へ格納される。再びデータパケット110aが対データ検出ユニット562へ入力されるまで同一待合せ領域を共有しかつ優先順位の高い別のデータパケットが入力されなければ、データパケット110aが対データ検出ユニット562へ与えられると、このデータパケット110aとデータパケット110bが対データとして検出される。

【0056】したがって、待合せメモリ604において対応の待合せ領域が空き状態となるまで、優先順位の低いデータパケットは未発火状態で巡回バス（パイプライン）を巡回し続ける。また、データパケット101bは、データパケット101aと対をなすデータであるが、データバッファ558へ入力された順序で対データ検出ユニット562へ与えられるため、発火可能なデータパケットの処理が遅れ、この処理装置の処理速度が低下する。また、未発火状態のデータパケット110aおよび110bはデータパケット101aが対データとして検出されて消費されるまでこの巡回バスを巡回し続ける。このデータパケット110aおよび110bの処理が遅れ、このため全体としての処理速度が低下する。

【0057】また、データバッファ558はたとえばシフトレジスタ型の先入れ先出し型メモリで構成される。この場合、データバッファ558において空き領域が存在しても、入力データパケットがこのデータバッファ558において受ける遅延時間は一定である。したがって、このデータバッファ558における遅延により有効データパケットが高速で巡回バスを巡回することができず、このため処理速度が低下する。

【0058】それゆえ、この発明の目的は、データフロープログラムを高速かつ効率的に処理することのできるデータ駆動型情報処理装置を提供することである。

【0059】この発明の他の目的は、未発火データパケ



ットの発生を抑制することのできるデータ駆動型情報処理装置を提供することである。

【0060】この発明のさらに他の目的は、格納データ数に応じて遅延時間を変更することのできるデータバッファを提供することである。

【0061】この発明のさらに他の目的は、データフロープログラムの処理効率を改善することのできるデータバッファを提供することである。

【0062】

【課題を解決するための手段】請求項1に係るデータ駆動型情報処理装置は、データ巡回パス上の一方向からのデータを受けて一時的に格納しかつ格納データをこの巡回パスを介して対データ検出ユニットへ伝達するバッファメモリ回路を含む。このバッファメモリ回路は、データを格納するための格納部と、入力データおよび格納データに含まれるキーデータに従って予め定められた順序で格納データが格納されるようにこの受けた入力データに含まれるキーデータと格納データのキーデータとに従って格納部の格納データを再配列する回路手段を含む。

【0063】請求項2に係るデータ駆動型情報処理装置は、このデータ再配列手段が、対データ検出部において実行される優先度判別基準と同様の判別基準に従って格納データの再配列を行なう手段を含む。

【0064】請求項3に係るデータバッファは、入力データを受ける入力部と、出力データを出力する出力部との間のデータ伝送路に沿って配置され、入力データを順次格納しかつ出力するための、互いに縦続接続された複数のデータメモリと、このデータ伝送路の鏡映対象の位置のデータメモリに対して設けられ、出力部側のデータメモリに格納されたデータが存在しないとき入力部側データメモリのデータをこの読出力部側データメモリに転送する第1の転送手段と、鏡映対象の位置のデータメモリに設けられ、入力部側データメモリに格納されたデータに含まれる所定のキーデータと出力部側データメモリに格納されるデータの所定のキーデータとを比較する比較手段と、この比較手段の比較結果に従って出力部側データメモリの格納データと入力部側データメモリの格納データとを交換する手段とを含む。

【0065】

【作用】請求項1に係るデータ駆動型情報処理装置においては、再配列手段によりデータバッファ内のデータパケットはそこに含まれるキーデータに従って所定の順序で配列されて対データ検出ユニットへ順次伝達される。これにより、データフロープログラムを効率的に処理する順序で対データ検出ユニットへデータパケットを与えることが可能となる。

【0066】請求項2に係るデータ駆動型情報処理装置においては、対データ検出ユニットで利用される優先度判別基準と同様の判別基準に従ってデータバッファ内のデータパケットが再配列される。これにより、待合せ状

態のデータパケットに対し対を形成し発火する可能性の大きいデータパケットが早く対データ検出ユニットへ伝達される。

【0067】請求項3に係るデータバッファにおいては、出力部側データメモリに格納データが存在しないとき第1の転送手段により入力部側データメモリからその出力部側データメモリへデータが転送されるため、データバッファの記憶段数を格納データの数に応じて変更することができ、高速でデータを出力することが可能となる。

【0068】また、キーデータの大小に応じて入力部側データメモリと出力部側データメモリとの交換を行なうことにより、出力データ列を常時キーデータの大小に応じて配列することが可能となり、データ処理内容に応じたデータの再配列を容易かつ確実に実現することが可能となる。

【0069】

【実施例】図1はこの発明の一実施例であるデータ駆動型情報処理装置の構成を示す図である。図1においては、データ駆動エンジン部の構成が機能的に示される。図1に示す構成において、図16に示す構成と同一部分には同一の参照番号を付しその詳細説明は省略する。図1において、分岐ユニット556と合流ユニット550との間に、データパケットの流れの揺らぎを吸収するためのデータバッファ1が設けられる。データバッファ1は、分岐ユニット556からのデータパケットを格納するためのメモリユニット2と、このメモリユニット2に格納されたデータパケットをキーデータの大小関係に従って再配列する再配列制御ユニット10を含む。

【0070】再配列制御ユニット10は、分岐ユニット556から与えられる入力データパケットから予め定められたキー（データ）を検出するキー検出部4と、メモリユニット2に格納されたデータパケットの各キーを監視するキーモニタ3と、キーモニタ3からのキー情報とキー検出部4からのキー情報を比較しその大小関係を示す信号を出力するキー比較部5と、このキー比較部5からの比較結果情報に従ってメモリユニット2内のデータパケットの配列順序を入れ替える配列制御部6を含む。

【0071】用いられるキーとしては、図2に示すように、上位から未発火フラグNFR（未発火時“1”）、世代番号、および行先ノード番号を用いる。世代番号および行先ノード番号は、対データ検出ユニット562における優先度を判別するための判別基準として利用されている。したがって、この対データ検出ユニット562に用いられる優先度判別基準と同様の判別基準がデータバッファ1におけるデータパケット再配列評価基準として利用される。

【0072】図1において、対データ検出ユニット562は、待合せデータパケットを格納する待合せメモリ604と、この待合せメモリへのデータパケットの格納お

15

よび読出ならびに優先度の判別とを実行する書込／制御部20を含む。この書込／読出制御部20は、図17に示す構成において命令識別部602、読出制御部606、優先度判別部608およびパケット制御部610を含む。次に動作について説明する。データバッファ1を除くユニットすなわち、合流ユニット550、対データ検出ユニット562、プログラム記憶ユニット564、演算処理ユニット554および分岐ユニット556の動作は図16および図17に示す従来のデータ駆動型情報処理装置のそれと同様である。したがって以下の説明においてはこの発明において利用されるデータバッファ1の動作についてのみ説明する。

【0073】キー検出部4は、分岐ユニット556から与えられる入力データパケットから所定のキーすなわち未発火フラグNFR、世代番号および行先ノード番号を抽出することによりキーデータを生成する。キーモニタ3は、メモリユニット2に格納される各データパケットのキーデータをモニタしている。データ入力時においてキー比較部5はこのキーモニタ3からのキーデータとキー検出部4からのキーデータとを受け、その大小を比較する。配列制御部6はこのキー比較部5からの比較情報に従ってこのキーデータの小さい順に出力データパケットが配列されるようにそのデータパケットを再配列する。したがって、メモリユニット2からデータパケットが出力される場合には、(1)未発火フラグNFRが立っていないデータパケット(NFR=0)の方が未発火フラグが立っているデータパケット(NFR=1)よりも先に、(2)未発火フラグNFRが同じ状態にあるデータパケットは世代番号が小さい方が先に、および(3)未発火フラグNFRが同じ状態にありかつ世代番号が同じデータパケットは行先ノード番号が小さい方が先に出力される。

【0074】未発火フラグNFRが立っていないすなわちオフ状態のデータパケットは、待合せメモリ604に對のデータパケットが格納されているかまたはこれから待合せメモリ604に格納される可能性が高い。また、未発火フラグNFRが同じ状態にあれば、世代番号が小さい方が先に実行される可能性が高い。また、未発火フラグNFRが同じ状態でありかつ世代番号が同じであれば、行先ノード番号が小さい方が先に処理される可能性が高い(データフロープログラムでは、通常データアークはノード番号の小さい方から大きい方へ流れる)。したがって、このような優先順位に従って出力データを再配列して出力することにより、早く処理される可能性の高いデータパケットを早く出力することができ、データフロープログラムの処理効率が高くなる。この動作を図22を参照して説明する。

【0075】データバッファ1はデータ並べ換え機能すなわちデータ再配列機能を備える。したがって、図22に示すように、データパケット110a、データパケッ

16

ト101bおよびデータパケット110bがこの順に入力された場合、最も先に出力されるのは、未発火フラグNFRがオフ状態にあるデータパケット101bである。このデータパケット101bは対データ検出ユニット562へ与えられ、待合せメモリ604内に格納されているデータパケット101aと対を形成する。これによりデータパケット101aおよび101bにより発火パケットが生成され、データメモリ604の待合せ領域に空きが生じる。

10 【0076】次に、データパケット110aが対データ検出ユニット562へ与えられ、待合せメモリ604の待合せ領域に格納される。

【0077】その後、データパケット110bが対データ検出ユニット562へ与えられる。出力データの再配列により、データパケット110aが与えられてからデータパケット110bが対データ検出ユニット562へ与えられる時間的な差は従来よりも小さくなっている。データパケット110aとデータパケット110bがメモリユニット2から出力される間にデータバッファ1に對しより優先度の高いデータパケットの入力がないかまたは合流ユニット550から外部から入力されたデータパケットがこのデータパケット110aおよび110bの間に割り込まない限り、データパケット110aとデータパケット110bは連続して対データ検出ユニット562へ与えられる。したがって、データパケット110aとデータパケット110bとが対データ検出ユニット562で対データとして検出されて発火するまでの間に、待合せメモリ604の同一待合せ領域をアクセスするデータパケットが現われる可能性が小さくなっている。このデータパケットの出力再配列について具体的な例について説明する。

【0078】図3に、このデータバッファ1における出力データの出力順序を並べ換える状態を概略的に示す。待合せメモリ604においてキーデータ10106Hが待合せしている状態を考える。今、メモリユニット2における出力データは00405H、00505H、10206H、10307Hの順に配置されていた場合に新たに00206Hのデータパケットが入力された状態を考える。この新たに入力されたデータパケット00106Hは待合せメモリ内の待合せデータパケット(キーデータ00106H)と対をなす。この場合、再配列制御ユニットの機能の下に、新たに入力されたデータパケット(キーデータ00106H)が未発火フラグNFRがオフ("0")、世代番号が"01"であるため最優先して出力される。この最優先して出力されるデータパケットは待合せしているデータパケットと対データを形成する。これにより待合せデータパケットの消費が行なわれ、待合せ領域に速やかに空き領域が生じ、未発火フラグがオン状態の未発火データパケットの巡回が防止される。ここで、対をなすデータはノード番号が同じであり

17

世代番号が同じデータパケットと想定している。出力データパケットとしてはキーデータ00405Hとキーデータ10405Hのデータパケットが対をなすため、対をなすデータが短期間に対データ検出ユニットへ与えられる可能性が高い。これによりデータフロープログラムの処理の高速化および処理効率の改善が得られる。

【0079】上述のように、未発火フラグNFRの大小比較と、対データ検出ユニット562における優先度判別と同様の優先度判別基準に従って優先順位を決定し、この優先順位に基づいてメモリユニットに格納されているデータパケットの順序を変更して出力することにより、すぐに処理される可能性のあるデータパケットは未発火パケットに邪魔されることなく高速で巡回バス上へ送出することが可能となる。またこの出力データの順序再配列により、データ待合せ領域が早く開放されることが可能となる。さらに、対データとなる可能性の高いデータパケット間の距離を近くすることが可能となり、対データ検出ユニットにおけるデータ待合せ領域を効率的に機能させることができ、データ処理のうで無駄な動きをしているように見える未発火データパケットの発生を低減することが可能となる。これにより、データフロープログラムの処理効率が向上する。

【0080】次に、この出力データの再配列をキーデータの優先順位に従って行なうための構成について説明する。

【0081】図4は、図1に示すデータバッファの具体的な構成の一例を示す図である。図4において、データバッファ1は、入力データパケットを伝達するための互いに縦続接続された選択入力機能付ラッチ110a、110b、110c、…、および110nと、この入力データパケット伝達用の選択入力機能付ラッチ110a～110n各々に対応して設けられる互いに縦続接続された出力データ伝達用選択入力機能付ラッチ210a、210b、210c、…、および210nと、それぞれ対応の選択入力機能付ラッチ110iおよび210i (i = a～n) の間に設けられ、この対応のラッチに格納されたデータパケットのうちキーデータを抽出しその大小関係を比較するとともにその比較結果に従って対応のラッチに格納されたデータの交換を制御するデータ入替え制御回路310a、310b、310c、…、310nを含む。

【0082】入力部101aへ与えられる入力データパケットDIはm-1ビットのデータ幅を有し、信号線102を介して与えられる有効データフラグVLDが1ビット付加される。したがって、この選択機能付ラッチの一方入力Aへはmビットのデータが与えられる。この選択入力機能付ラッチ110a～110nは、クロック入力103を介して与えられる入力データ転送クロックCKFに従ってその格納データを次段の選択入力機能付ラッチへ転送する。このラッチ110a～110nに格納

18

される有効データフラグVLDが“1” (“H”レベル) のときにはそのラッチに格納されているデータパケットが有効であることを示す。有効データフラグVLDが“0” (“L”レベル) のとき、そのラッチに含まれているデータパケットは無効であることを示す。

【0083】出力データパケットを出力するための選択入力機能付ラッチ210a～210nはクロック入力203を介して与えられる出力データ転送クロックCKBにตอบสนองしてその格納データを前段のラッチ (出力部201に近い出力用の選択入力機能付ラッチ) へ転送する。

【0084】データ入替え制御回路310a～310nは、対応のラッチに格納されたnビットのデータのうちのキーデータとしてnビットのデータを抽出しそのキーデータの大小関係に応じて入力部側のラッチから出力部側のラッチへのデータの転送および入力部側ラッチと出力部側ラッチとの間のデータを交換を実行する。このデータ入替え制御回路310a～310nの比較結果はクロック入力301へ与えられるクロック信号CKCにตอบสนองして確定状態となる。

【0085】図4において、図の右側に示されている入力データ出力部101b、状態フラグFULL出力信号線105、クロック信号CKFを伝達する信号線106、クロック信号CKCを伝達する信号線302、クロック信号CKBを伝達する信号線206および出力データを入力する信号線204はそれぞれこのデータバッファが次段のデータバッファに接続される状態を示す。この図4に示すデータバッファは同一構成の回路成分を含んでおり、容易に拡張することが可能である。信号線105上に現われる状態フラグFULLが“1”の場合、この入力データ用のラッチ110a～110nのすべてに対し有効データが格納されている状態を示す。また信号線204から与えられるm-1ビットのデータは“0”の有効性フラグVLD (信号線205から与えられる) とともにmビットのデータとなり、ラッチ210nへ与えられる。信号線202から与えられる状態フラグEMPTYは、この出力データ用のラッチ210a～210nに出力すべき有効データパケットが存在するか否かを示す。この状態フラグFULLおよびEMPTYは、それぞれ信号線102から与えられる有効性フラグVLDおよび信号線205から与えられる有効性フラグVLDに対応する。

【0086】次にこの図4に示すデータバッファのデータ入力動作および出力動作について説明する。まずデータ入力時の動作についてその動作フロー図である図5を併せて参照して説明する。

【0087】まず、信号線105から出力される状態フラグFULLが“0”であるか否かの判別が行なわれる (ステップS30)。状態フラグFULLが“1”の場合には、この入力データののためのラッチ110a～110nすべてに有効データが格納されていることを示して

19

おり、新たにデータパケットを入力することができないことを示している。したがってこの状態フラグFULLが“0”となるまでデータパケットの入力は行なわれない。

【0088】状態フラグFULLが“0”となると、信号線101aにデータパケットDIが入力される。m-1ビットのデータパケットDIは有効データフラグVLD(“1”)とともにラッチ110aへ与えられる。ここで、初期状態においてはリセットRESETがラッチ110a~110nおよび210a~210nへ与えられ、これらのラッチ110a~110nおよび210a~210nに含まれる有効データフラグVLDは“0”にリセットされる。

【0089】状態フラグFULLが“0”であると、信号線101aを介してデータパケットDIが与えられる。m-1ビットのデータパケットは信号線102からの有効性を示す有効性フラグVLDと共にmビットのデータとなってラッチ110aの一方入力Aへ与えられる。ラッチ110a~110nにおける入力データパケットDIおよび格納データDiおよび有効データフラグVLD(以下、両者を含めて単にデータと称す)の取込みおよびシフト動作はクロック信号CKFにより制御される。すなわち、クロック信号CKFが信号線103を介して与えられると、ラッチ110a~110nはそのラッチデータを次段のラッチへ転送するとともに新たに与えられたデータをラッチする。たとえば、ラッチ110aに格納されていたデータはラッチ110bへ転送され、ラッチ110bに格納されていたデータはラッチ110cへ転送される(ステップS32)。

【0090】次に図4において互いに向かい合ったラッチの格納データが比較される。データ入替え制御回路310aないし310nは、入力データ用ラッチ110i(iはaないしnのいずれか)に有効データが存在し(有効データフラグVLDが“1”)かつ出力データ用のラッチ210iに有効データが存在しない(有効データフラグVLD=“0”)か否かを判別する(ステップS34)。入力データ用のラッチ110iに有効データが存在し、出力データ用のラッチ210iに有効データが存在しない場合には、そのラッチ110iに格納されているデータDIと出力側ラッチ210iに格納されているデータQiとの交換が実行される(ステップS38)。

【0091】入力データ用のラッチ110iに有効データが存在し(VLD=1)かつ出力側のラッチ210iにも有効データが存在する場合、その格納データDiおよびQiから所望のnビットのキーデータを抽出しそのキーデータDi(n)およびQi(n)の大きさを比較する(ステップS36)。入力用データのラッチ110iに格納されているデータDiのキーデータDi(n)の方が出力用データのラッチ210iに格納されているデ

20

ータQiのキーデータQi(n)よりも小さい場合には、このデータ入替え制御回路の制御の下にデータDiとデータQiの交換がその他方入力ポートBを介して実行される(ステップS38)。

【0092】ステップS36において、入力用データのラッチ110iに格納されているDiのキーデータDi(n)が出力用データのラッチ210iに格納されているデータQiのキーデータQi(n)よりも大きいまたは等しい場合にはデータの交換は実行されない。次いで、再び入力データが与えられるのを待つ。これにより、出力部201に最も近いラッチ210aにおいては常にキーデータQi(n)が最も小さいデータが格納される。たとえば、初期状態において、まずデータDIが与えられた場合、入力用データラッチ110aに格納される。このラッチ110aに格納されたデータはラッチ210aに転送される(初めて入力データパケットDIが与えられたとき、出力用ラッチ210aには有効データは格納されていないためである)。次に入力データパケットが与えられると、ラッチ210aに格納されているデータのキーデータと新たに与えられた入力データのキーデータとの大小の比較が行なわれる。この大小の比較結果に従ってデータの交換が行なわれるかまたは行なわれない。次にデータパケットが新たに格納されると、この2番目のデータパケットがラッチ110bへ転送され次いでラッチ210bへ転送される(出力データがまだ出力されていない状態)。3番目に入力されたデータパケットのキーデータとこのラッチ210aに格納されているデータのキーデータとの大小比較が行なわれる。この動作を繰返し行なうことにより出力データ用ラッチ210aには最小のキーデータを有するデータがラッチされ、次段の出力用データラッチ210bには2番目に小さいキーデータを有するデータがラッチされる。すなわち、この出力側のデータラッチ210a~210nにおいてはこのキーデータの大小関係に従って出力データが再配列されて格納される。次にデータ読出動作についてその動作フロー図である図6を併せて参照して説明する。

【0093】データを出力する場合には、まず信号線202から与えられる状態フラグEMPTYが“1”であるか否かの判別が行なわれる(ステップS40)。この状態フラグEMPTYが“1”のとき、ラッチ210aには有効データが格納されているため、データの出力が可能である。状態フラグEMPTYが“0”の場合には、出力すべきデータは存在しないため、この状態フラグEMPTYが“1”となるまでそのデータ出力は待ち状態となる。

【0094】データ出力時においては、信号線203上へ出力データ用クロック信号CKBを与える。これによりラッチ210a~210nがシフト動作を行ない、そのラッチデータを出力端子Yを介して前段のラッチへ伝

21

達するとともに、出力部201から出力データパケットQOが出力される(ステップS42)。

【0095】次に再び入替え制御回路310a~310nにおいて各対応のラッチ110iとラッチ210iとの間でのデータ転送および交換の判別が実行される。すなわち、ステップS44において、出力用データラッチ210iに格納されるデータQiの有効データフラグVLDが“1”であるか否かの判別が行なわれる。有効データフラグVLDが“0”の場合には出力データ用ラッチ210iに有効データが存在しないため、対応の入力データ用のラッチ110iからデータの転送が行なわれる(ラッチ110iに有効データが存在する場合)。

【0096】ステップS44において、ラッチ210iに含まれるデータQiの有効データフラグVLDが“1”の場合、次いでこのデータDiおよびQiのキーデータDi(1)およびQi(n)の大小比較が行なわれる。入力データ用ラッチ110iに含まれるデータDiのキーデータDi(1)が出力用データQiのキーデータQi(n)よりも小さい場合にはラッチ110iとラッチ210iとの間でのデータの交換が行なわれる(ステップS48)。

【0097】キーデータDi(1)がキーデータQi(1)以上の場合にはデータの交換は行なわれない。このステップS46における判別動作およびステップS48におけるデータの交換動作によりラッチ210aに確実に最小のキーデータQi(n)を有するデータが配置される。

【0098】この図4に示すデータバッファにおいては、そのデータを記憶する段数は格納データ数に応じ可変である。すなわちクロック信号CKFおよびCKCを与えるとデータが入力され、クロック信号CKBおよびCKCを与えると直ちにデータが出力される。したがって、シフトレジスタ構成のバッファメモリと異なり、その有効データの数に応じてデータパケットが受ける伝達遅延を変更することができ、常に即座に高速でデータパケットを対データ検出ユニットへ伝達することができる。次に各回路部分の具体的構成および動作について説明する。

【0099】図7は、図4に示す選択入力機能付ラッチの構成を示す図である。この選択入力機能付ラッチ110(および210)は、入力ポートAに与えられる入力データDA(mビット)と入力ポートBに与えられる入力データDB(mビット)の一方をそのクロック入力CK1およびCK2に与えられるクロック信号CK1およびCK2に従って取込みかつ出力する。すなわち、クロック信号CK1がクロック入力CK1に与えられたときには入力ポートAに与えられた入力データDAを取込み、クロック入力CK2にクロック信号CK2が与えられたとき入力ポートBに与えられた入力データBを取込む。このラッチ110(210)は、対応のクロック信

22

号の立下がり取込みデータとその出力ポートYから出力する。このラッチ110(210)は、図4に示す構成において、入力ポートAに隣接ラッチからの出力データを受け、その入力ポートBに対応の向かい合ったラッチ(出力データ用ラッチまたは入力データ用ラッチ)の出力を受ける。これにより、データの交換および転送を行なうことができる。

【0100】図8はこの選択入力機能付ラッチの具体的構成の一例を示す図である。図8において、選択入力機能付ラッチは、クロック入力CK1に与えられるクロック信号CK1にตอบสนองして入力ポートAに与えられる信号を通過させるnチャネルMOSトランジスタ(絶縁ゲート型電界効果トランジスタ)401と、トランジスタ401の出力を受ける2段の縦続接続されたインバータ回路402および404と、クロック入力CK1に与えられた信号をインバータ回路410を介してそのゲートに受け、インバータ回路404の出力をインバータ回路402の入力へ伝達するnチャネルMOSトランジスタ406と、クロック入力CK1およびCK2にそれぞれ与えられるクロック信号CK1およびCK2を受けるOR回路428と、OR回路428の出力にตอบสนองしてリセットされかつインバータ回路410の出力にตอบสนองしてセットされるRSフリップフロップ412と、RSフリップフロップ412の出力φ1にตอบสนองしてインバータ回路404の出力を出力ポートYへ伝達するnチャネルMOSトランジスタ408を含む。RSフリップフロップ412は、セット入力Sへ与えられる信号の立上りにตอบสนองしてセット状態とされ、その出力信号φ1を“H”に設定し、リセット入力Rに与えられる信号の立上りにตอบสนองしてリセット状態とされ、その出力信号φ1を“L”に立下げる。

【0101】選択入力機能付ラッチはさらに、入力ポートBに与えられる信号をクロック入力CK2に与えられるクロック信号CK2にตอบสนองして伝達するnチャネルMOSトランジスタ414と、トランジスタ414が伝達する信号を増幅する2段の縦続接続されたインバータ回路416および418と、クロック信号CK2を反転するインバータ回路424と、インバータ回路424の出力にตอบสนองしてインバータ回路418の出力をインバータ回路416の入力へ帰還させるnチャネルMOSトランジスタ422と、インバータ回路424の出力にตอบสนองしてセット状態とされ、OR回路428の出力にตอบสนองしてリセット状態とされるRSフリップフロップ426と、RSフリップフロップ426の出力信号φ2にตอบสนองして、インバータ回路418の出力を出力ポートYへ伝達するnチャネルMOSトランジスタ420を含む。

【0102】この選択入力機能付ラッチにおいては、インバータ回路404および418の駆動力はインバータ回路402および416の駆動力よりも大きくされている。これにより、トランジスタ406および422がオ

23

ン状態となったとき、ラッチ回路が構成される。

【0103】この選択入力機能付ラッチはさらに、リセット入力RESETに与えられるリセット信号にตอบสนองして、インバータ回路402および416の入力をそれぞれ接地電位にリセットするnチャネルMOSトランジスタ430および432を含む。次に、この図7および図8に示す選択入力機能付ラッチの動作についてその動作波形図である図9を合わせて参照して説明する。

【0104】今、フリップフロップ412がセット状態にあり、信号φ1が“H”の状態を考える。この状態においては、トランジスタ408がオン状態であり、出力ポートYからは入力ポートAに与えられたデータが出力されていると想定する。この状態においては、トランジスタ406がオン状態であり、インバータ回路402および404とトランジスタ406とによりラッチ回路が構成されている。RSフリップフロップ426はリセット状態にあり、信号φ2は“L”のレベルである。

【0105】この状態で、クロック入力CK1に与えられたクロック信号CK1が“H”に立上ると、インバータ回路410の出力が“L”、OR回路428の出力が“H”となる。これにより、RSフリップフロップ412がリセット状態とされ、信号φ1が“L”に立下がり、トランジスタ408がオフ状態となる。一方トランジスタ401はクロック信号CK1にตอบสนองしてオン状態となり、入力ポートAに与えられたデータDAを通過させる。トランジスタ406はまだオフ状態であり、単にこのトランジスタ401からのデータはインバータ回路402および404により増幅されているだけである。

【0106】クロック信号CK1が“L”へ立下がると、トランジスタ401がオフ状態、トランジスタ406がオン状態となり、それまでに与えられていた信号がインバータ回路402および404とトランジスタ406からなるラッチ回路によりラッチされる。インバータ回路410の出力信号が“H”に立上がり、RSフリップフロップ412がセット状態とされ、信号φ1が“H”に立上がる。これにより、インバータ回路404の出力が出力ポートYへ伝達され、出力データDOとして出力される。

【0107】次に、クロック入力CK2に与えられるクロック信号CK2が“H”となると、OR回路428の出力が“H”となり、RSフリップフロップ412がリセットされ、信号φ1が“L”に立下がる。トランジスタ414が、このクロック信号CK2にตอบสนองしてオン状態となり、入力ポートBに与えられていた信号を通過させる。トランジスタ414および422はまだオフ状態であり、この入力ポートBに与えられた信号はインバータ回路416および418により増幅される。

【0108】次にクロック信号CK2が“L”に立下がると、トランジスタ414がオフ状態となり、トランジスタ422がオン状態となる。これにより、それまでに

24

与えられていた信号がインバータ回路416および418とトランジスタ422とによりラッチされる。クロック信号CK2の立下がりにตอบสนองしてインバータ回路424の出力が“H”に立上がり、RSフリップフロップ426がセットされ、信号φ2が“H”に立上がり、トランジスタ420がオン状態となる。これにより出力ポートYへはインバータ回路418の出力が伝達される。

【0109】上述のようにして、クロック入力CK1にクロック信号が与えられた場合には、入力ポートAに与えられた信号が選択され、クロック入力CK2にクロック信号が与えられると入力ポートBに与えられた信号が出力される。

【0110】なお、図8に示す構成において、クロック信号CK1またはCK2が“H”に立上がったとき、トランジスタ408および420はオフ状態となり、出力ポートYの信号状態が不安定となることが考えられる。この場合クロック信号CK1およびCK2のORをとった信号により活性化されるラッチ回路がこの出力ポートYにさらに設けられてもよい。これにより、確実にデータを転送することが可能となる。このラッチ回路は、クロック信号CK1およびCK2が“L”のとき与えられた信号をそのまま通過させるスルー状態となる。

【0111】このようなラッチ回路の構成としては、インバータ回路402および404とトランジスタ406からなるラッチ回路の構成を適用することができる。

【0112】この図7および図8に示す構成を図4に示す構成に対応させれば、入力ポートAには隣接するラッチ回路の出力が与えられ、入力ポートBには、向かい合った対応の入力部側または出力部側からのラッチの出力が与えられる。クロック入力CK1は、クロック信号CKFまたはCKBであり、クロック入力CK2へはデータ入替え制御回路からの比較結果指示信号が与えられる。

【0113】この選択入力機能付ラッチにラッチされるデータは、(m-1)ビットのデータパケットと、このラッチされているデータが有効であるか否かを示す1ビットの有効データフラグVLDである。有効データフラグVLDが“1”であれば、そのバッファに蓄えられているデータが有効であることを示す。

【0114】図10は、図4に示すデータ入替え制御回路の構成を示す図である。図10において、データ入替え制御回路310は、信号線301および302を介してnビットのデータを受ける。このnビットのデータは(n-1)ビットのキーデータと1ビットの有効データフラグVLDとを含む。図10においては、この入力データを区別するため、一方の入力データの有効データフラグをVLDA、他方の入力データの有効データフラグをVLDBとして示す。

【0115】データ入替え制御回路310はさらに、この信号線301から与えられたnビットのデータうち

## 25

( $n-1$ ) ビットのキーデータを受ける入力ポート A と、信号線 302 を介して与えられる  $n$  ビットのデータのうち ( $n-1$ ) ビットのキーデータを受ける B ポートと、この入力ポート A および B に与えられたキーデータの大小を比較しその比較結果を出力する出力ポート LT とを有する比較器 350 と、比較器 350 の出力 LT (出力ポートと出力信号とを同じ符号で示す) と有効データフラグ VLDA および VLDB を受ける 3 入力 AND 回路 310 と、有効データフラグ VLDA をその真入力に受け、他方有効データフラグ VLDB を偽入力に受けるゲート回路 320 と、AND 回路 310 の出力とゲート回路 320 の出力を受ける OR 回路 330 と、比較指示信号 CKC と OR 回路 330 の出力とを受ける AND 回路 340 を含む。AND 回路 340 からデータの交換を行なう入替え指示信号 CKCH が発生される。この信号 CKCH は図 7 および図 8 に示すクロック信号 CK 2 に対応する。

【0116】比較器 350 は入力ポート A に与えられた ( $n-1$ ) ビットのデータが入力ポート B に与えられた ( $n-1$ ) ビットのデータよりも小さいときにその出力ポート LT から “1” の信号を出力する。この場合、比較器 350 は、キーデータの昇順に出力データを再配列する。比較器 350 の大小判断基準を逆にすれば降順に再配列することが可能である。以下の説明においては、データパケットをキーデータの小さい順に配列する必要があるため、比較器 350 がデータを昇順に再配列する場合の動作について説明する。データを降順に再配列する場合も容易に実現することができる。

【0117】2つのラッチ 110 および 210 からの出力のうち  $n$  ビットのキーデータがデータ入替え制御回路 310 へ与えられる。比較器 350 は入力ポート A および B にそれぞれ与えられた ( $n-1$ ) ビットのデータの値の大小を比較する。入力ポート A に与えられるデータ値が入力ポート B に与えられる ( $n-1$ ) ビットのデータ値よりも小さいときにその出力ポート LT が “1” となる。

【0118】AND 回路 310 は、比較器 350 の出力 LT と有効データフラグ VLDA および VLDB を受ける。有効データフラグ VLDA は入力部側に設けられたデータラッチに格納されているデータの有効/無効を示すフラグであり、有効データフラグ VLDB は、出力部側に設けられたラッチに格納されているデータの有効/無効を示すフラグである。AND 回路 310 は、その 3 入力がすべて “H” (“1”) のとき、“H” の信号を出力する。したがって、AND 回路 310 から “1” の信号が出力されるのは次の場合である。すなわち、有効データフラグ VLDA および VLDB が共に “1” にあり、比較器 350 の出力 LT が “1” の場合である。この状態は、入力データ用ラッチ 110 に有効データが格納されており、かつ出力データ用ラッチ 210 に有効デ

## 26

ータが格納されており、かつ入力データ用ラッチ 110 に格納されたデータのキーデータが出力データ用ラッチ 210 のラッチするデータのキーデータよりも小さい場合である。

【0119】ゲート回路 320 は、有効データフラグ VLDA が “1” でありかつ有効データフラグ VLDB が “0” のときにのみ “1” の信号を出力する。OR 回路 330 は、AND 回路 310 およびゲート回路 320 の出力の一方が “1” であれば “1” の信号を出力する。AND 回路 340 は、クロック信号 CKC に応答して OR 回路 330 の出力を伝達する。したがって、AND 回路 340 の出力 CKCH が “1” となるのは、次の 2つの場合である。(1) 入力データ用ラッチ 110 および出力データ用ラッチ 210 に共に有効データがラッチされており、かつその入力データ用ラッチ 110 に格納されるキーデータが出力用ラッチ 210 に格納されるキーデータよりも小さいとき、および (2) 入力データ用ラッチ 110 に有効データがラッチされかつ出力データ用ラッチ 210 に有効データがラッチされていない場合。

【0120】AND 回路 340 の出力信号 CKCH は、図 7 および図 8 に示すクロック入力 CK 2 へ与えられる。これにより、データの交換が実現される。

【0121】図 11 は、この図 4 に示す回路の全体の動作を示す信号波形図である。以下、全体の動作について簡単に説明する。

【0122】入力データ DI を与える場合には、状態フラグ FULL が “0” であることを確認した後にクロック信号 CKF を与える。これにより入力データ用ラッチ 110 a ~ 110 n において入力データの取込み、ラッチおよび出力が行なわれる。

【0123】次いで、比較制御信号 CKC が与えられ、データ入替え制御回路 310 が比較結果をこの制御信号 CKC に従って出力する。この制御信号 CKC に従って、入替え制御信号 CKCH が “1” または “0” となり、データの再配列が実行される。

【0124】状態フラグ FULL が “1” の場合には、このデータバッファ 1 に有効データが一杯格納されていることを示しており、新たにデータを入力することができないことを示している。

【0125】データを出力する場合には、状態フラグ EMPTY が “1” であることを確認した後に出力クロック信号 CKB を与える。データを出力した後、制御信号 CKC を与える。これにより信号 CKCH が “1” または “0” となり、再び出力データの再配列が実行される。状態フラグ EMPTY が “0” の場合は、データバッファ 1 においては有効出力データが存在しないことを示しており、データを出力することができない。

【0126】この図 4 に示すデータバッファは、選択入力機能付ラッチ 110 および 210 とデータ入替え制御回路 310 が規則的に配置されている。すなわち、この



27

図4に示すデータバッファ1は、同じ回路構成を備える単位回路が規則的に繰返し配置されている。したがって、このデータバッファ1は、容易に拡張することができる。その収納することのできるデータの数を増加させることができる。

【0127】さらに、このデータバッファは単にデータ駆動型情報処理装置におけるデータパケットの再配列の用途のみに適用されるものではない。一般に、データの配列順序を予め定められた規則に従って変更する必要がある用途において適用可能である。データに含まれるキーデータ（データそのものであってもよい）の大小関係に応じてそのデータの配列順序が決定される用途に適用可能である。

【0128】図12は、このデータバッファの一般的構成を示す。図12において、データバッファ回路900は、3段のカスケード接続されたデータバッファ1a、1bおよび1cと、このデータバッファのデータの入出力を制御するための入出力制御部950を含む。データバッファ1a、1bおよび1cは図4に示すデータバッファ1と同じ構成を備える。入出力制御部950は、入力データ伝送路に沿って与えられる有効データフラグVLDを受ける入力FULLと、出力データ伝送路に沿って出力される有効データフラグVLDを受ける入力EMPTYと、入力要求信号INREQを受ける入力PUSHと、出力要求信号OTREQを受ける入力POPと、入力許可信号INACKを出力する出力ACKIと、出力要求に対する許可を示す出力許可信号OTACKを出力する出力ACKOと、クロック信号CKF、CKCおよびCKBを出力するクロック出力CKF、CKC、およびCKBを含む。

【0129】入出力制御部950は、入力FULLに与えられる有効データフラグVLDの“1”および“0”に従って入力要求信号INREQに対する許可信号INACKを“1”または“0”にし、入力データの受付の許可および待機を制御する。

【0130】入出力制御部950はさらに、入力EMPTYに与えられる有効データフラグVLDの“1”および“0”に従って、出力要求信号OTREQに対する許可信号OTACKを“1”または“0”に設定する。これにより、データバッファ1a～1cにラッチされているデータの格納状況に応じてデータの入出力が実行される。入出力制御部950は、インターフェイス回路であり、出力要求信号OTREQが与えられ、出力許可信号OTACKを出力したとき、クロック信号CKBおよびCKCを発生する。入出力制御部950はまた、入力要求信号INREQが与えられかつ入力許可信号INACKが発生されたとき、クロック信号CKFおよびCKCを発生する。

【0131】

【発明の効果】請求項1に係るデータ駆動型情報処理装

28

置によれば、データパケットに含まれるキーデータに従って出力データパケットが再配列される。これにより、データフロープログラムを効率的に処理する順序でデータ検出ユニットへデータパケットが与えられ、データ処理効率が增大する。また、対データ検出ユニットにおいて未発火フラグが立てられたデータパケットの数が増大しても、この出力データパケットの再配列によりデータ処理の効率が低下することはない。

【0132】請求項2に係るデータ駆動型情報処理装置においては、出力データパケットの配列は、対データ検出ユニットにおける優先順位判別基準と同じ判別基準に従って実行されている。このため、対データとなる可能性のあるデータパケットを近接させることができ、対データ検出ユニットのデータ待合せ領域を効率的に利用することが可能となり、未発火データパケットの発生を抑制することができ、データフロープログラムの処理効率を向上することが可能となる。

【0133】請求項3に係るデータバッファによれば、格納されているデータの内容に従って出力データの配列順序が変更可能であり、高速で処理内容に応じて配列された出力データ系列を得ることができる。また、格納データの数によりその記憶段数を変更することができるため、格納データの数にかかわらず、その記憶段に空きが生じることがなく、高速でデータの出力を行なうことができ、データ処理効率を向上させることができる。またこのデータバッファは同じ構造を有する回路が規則的に配列されているため、そのレイアウトが容易でありかつまた規模も容易に拡張することができる。

【図面の簡単な説明】

【図1】この発明の一実施例であるデータ駆動型情報処理装置のエンジンの構成を示す図である。

【図2】この発明の一実施例であるデータ駆動型情報処理装置において利用されるキーデータの構成を示す図である。

【図3】この発明の一実施例であるデータ駆動型情報処理装置におけるデータ再配列動作を例示する図である。

【図4】図1に示すデータバッファの構成を示す図である。

【図5】図4に示すデータバッファのデータ入力動作を示すフロー図である。

【図6】図4に示すデータバッファのデータ出力動作を示すフロー図である。

【図7】図4に示す選択入力機能付ラッチの外部構成を示す図である。

【図8】図7に示す選択入力機能付ラッチの具体的構成を示す図である。

【図9】図7および図8に示す選択入力機能付ラッチの動作を示す信号波形図である。

【図10】図4に示すデータ入替え制御回路の構成を示す図である。



【図11】図4に示すデータバッファの全体の動作を示す信号波形図である。

【図12】図4に示すデータバッファを拡張した際の構成を示す図である。

【図13】データフローグラフの一例を示す図である。

【図14】データ駆動型情報処理装置のエンジンにおいて利用されるデータバケットの構成を示す図である。

【図15】データ駆動型情報処理装置の全体の構成を示す図である。

【図16】図15に示すデータ駆動エンジンの構成を示すブロック図である。

【図17】図16に示すプログラム記憶付発火制御部の構成を示すブロック図である。

【図18】ハッシュ演算を説明するための図である。

【図19】メモリ空間の縮退を説明するための図である。

【図20】図17に示す対データ検出ユニットの動作を示すフロー図である。

【図21】図17に示すプログラム記憶ユニットの動作を示すフロー図である。

【図22】従来のデータ駆動型情報処理装置の問題点を説明するための図である。

【符号の説明】

1 データバッファ

2 メモリユニット

3 キーモニタ

4 キー検出部

5 キー比較部

6 配列制御部

10 再配列制御ユニット

110a~110n 入力データ用選択入力機能付ラッチ

210a~210n 出力データ用選択入力機能付ラッチ

310a~310n データ入替え制御器

506 データ駆動エンジン

550 合流ユニット

552 プログラム記憶付発火制御部

554 演算処理ユニット

556 分岐ユニット

558 データバッファ

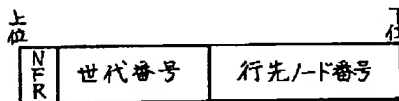
562 対データ検出ユニット

20 564 プログラム記憶ユニット

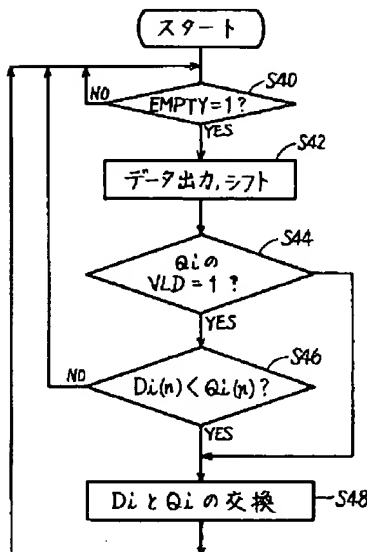
900 データバッファ回路

950 入出力制御部

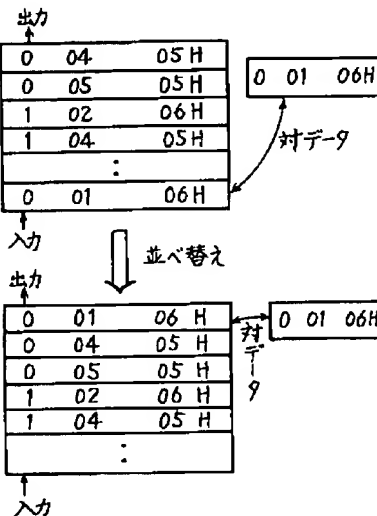
【図2】



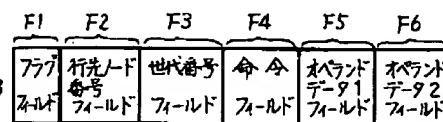
【図6】



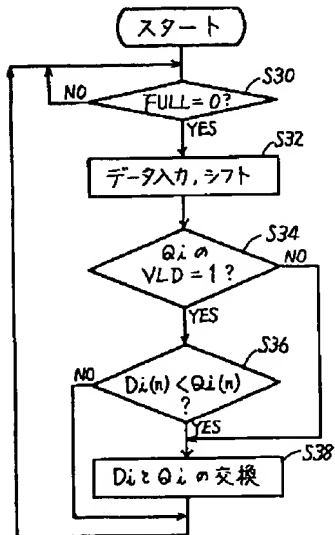
【図3】



【図14】

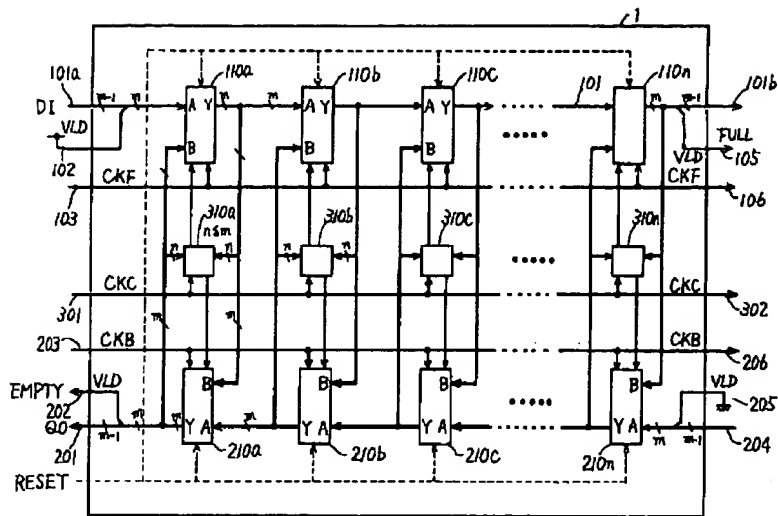


【図5】

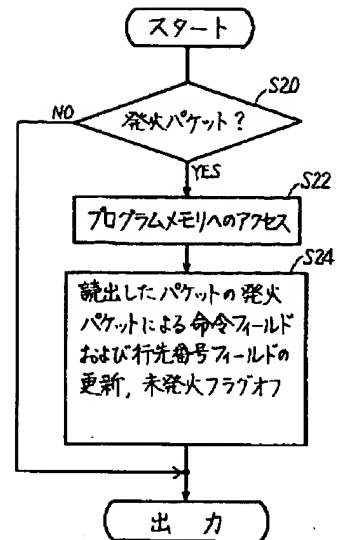




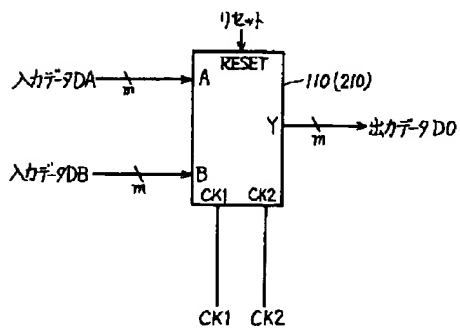
【図4】



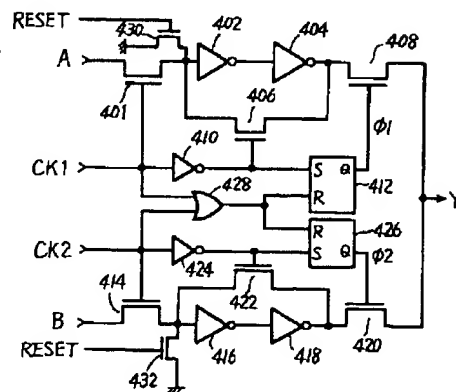
【図21】



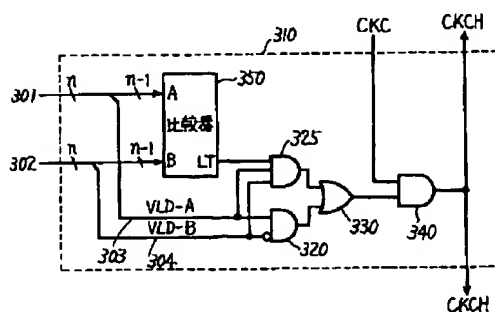
【図7】



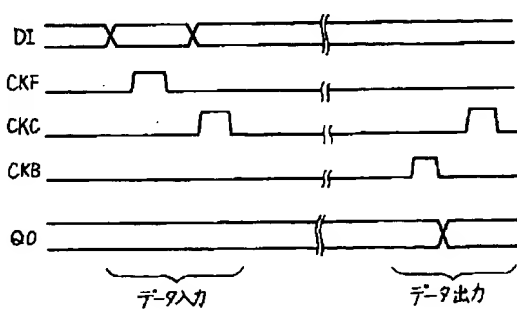
【図8】



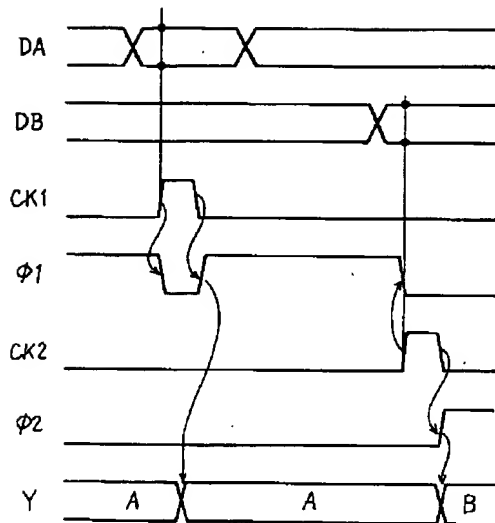
【図10】



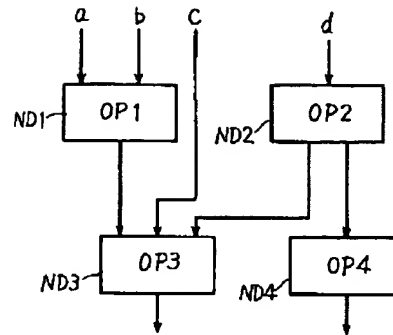
【図11】



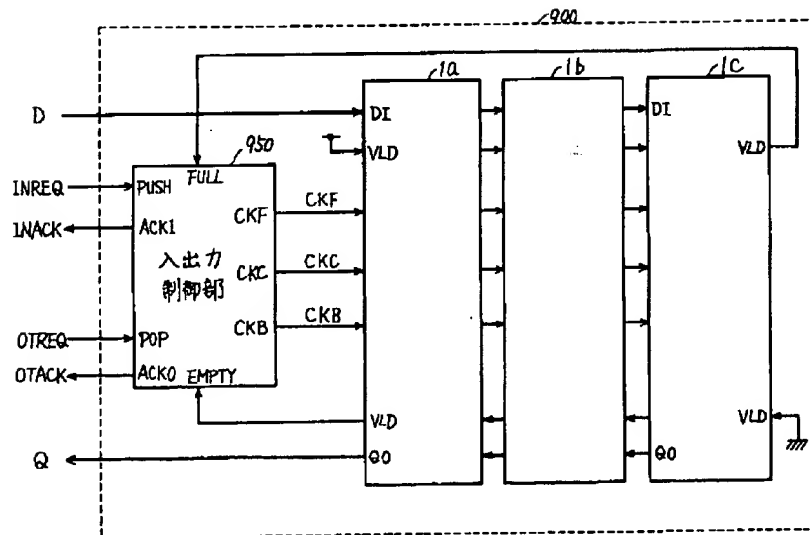
【図9】



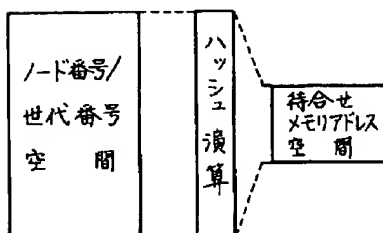
【図13】



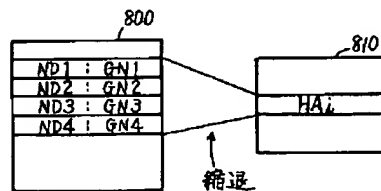
【図12】



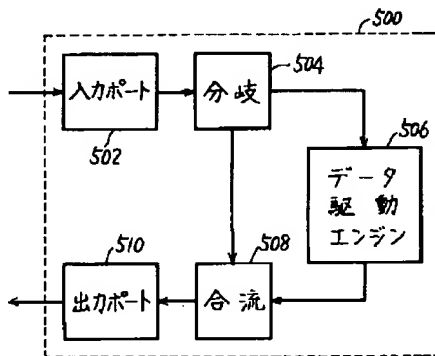
【図18】



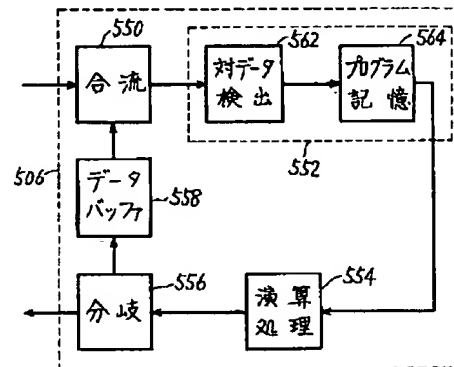
【図19】



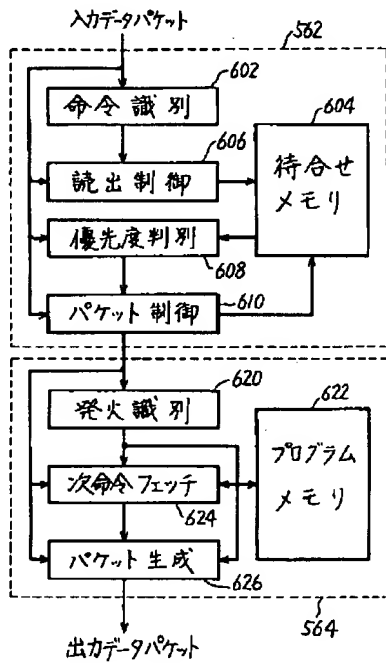
【図15】



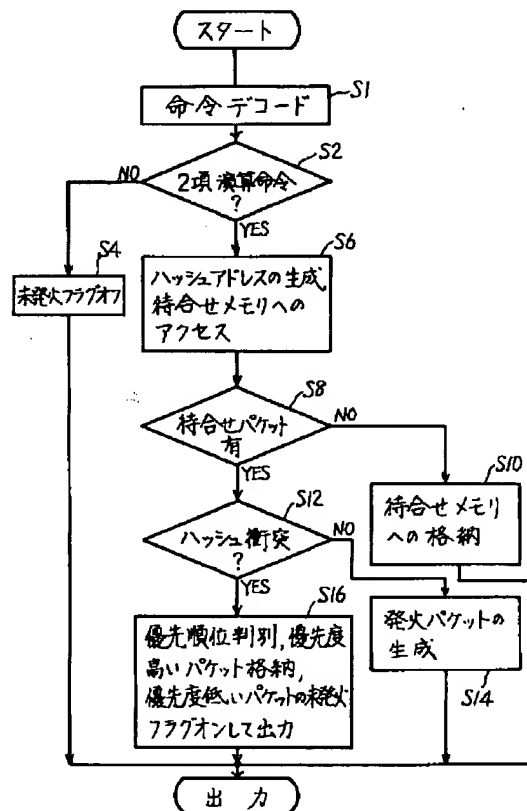
【図16】



【図17】



【図20】



【図22】

